

(2) Japanese Patent Laid-Open Gazette No. 11-055145 (1999) "Integrated Circuit for Transceiver"

The following is English translation of an extract from the above-identified document relevant to the present application.

This circuit is formed by integrating a frequency-converting block for the tuner part of television broadcasting or the like and a PLL block for controlling a local oscillation frequency on the same chip. In this case, the positive and negative power supply terminals of an analog part 22 as the frequency converting block and a digital part 23 as the PLL block are respectively separated, and the analog part 22 and the digital part 23 are separated by providing respective negative side power supply terminals 25 and 27 for the analog and digital, reference potential terminal 38 independent of ground patterns 29 and 33, and reference potential pattern 36 connected to a semiconductor substrate 11 on a semiconductor substrate 21 at the border section of the analog part 22 and the digital part 23. Thus, the effects of the noise at the digital part 23 on the analog part 22 is suppressed.

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-55145

(43) 公開日 平成11年(1999) 2月28日

(51) Int. Cl.⁶

識別記号

F 1

H 0 4 B 1/38

H 0 4 B 1/38

H 0 1 L 27/04

H 0 1 L 27/04

A

21/822

H 0 3 L 7/08

A

// H 0 3 L 7/08

特許請求 未請求 請求項の枚数 5 O L (全 5 O L)

(21) 出願番号

特開平9-211598

(22) 出願日

平成9年(1997) 8月6日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

山口 政宏

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人

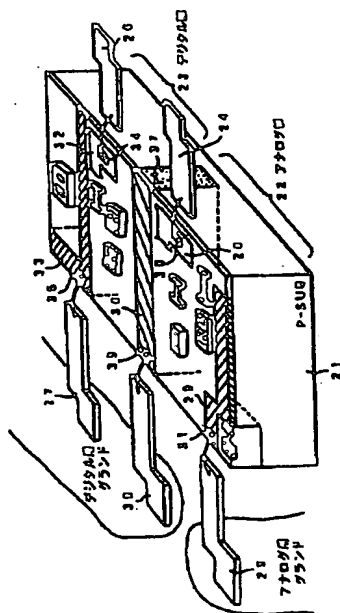
弁理士 山口 政宏

(54) 【発明の名称】 送受信用集積回路

(57) 【要約】

【課題】 アナログ回路とデジタル回路とを同一のチップ上に集積化した場合、デジタル回路の信号が雑音としてアナログ回路に伝播を与えることになる。

【解決手段】 テレビジョン放送などのチューナ部に使用される周波数変換ブロックと局部発振周波数を制御するためのPLLブロックを同一チップ上に集積化してなる集積回路において、周波数変換ブロックであるアナログ部22とPLLブロックであるデジタル部23の正・負の電源端子を各々分け、かつアナログ部22とデジタル部23の境界部分の半導体基板21上に、アナログ用およびデジタル用の各負側電源端子25、27およびグランドパターン29、33とは独立した基板上位パターン38および半導体基板21に接続された基板上位パターン36を設けてアナログ部22とデジタル部23とを分離し、アナログ部22に対するデジタル部23の雑音の影響を抑制する。



【特許請求の範囲】

【請求項1】 アナログ部とデジタル部とを同一の半導体基板上に集積化してなる送受信用集積回路であって、前記アナログ部に電力を供給する第1の電源供給手段と、前記デジタル部に電力を供給する第2の電源供給手段と、

前記半導体基板上の前記アナログ部と前記デジタル部との境界部分に、前記第1、第2の電源供給手段とは独立して設けられた基準電位付与手段とを備えたことを特徴とする送受信用集積回路。

【請求項2】 前記基準電位付与手段は、前記アナログ部と前記デジタル部との境界部分における前記半導体基板に接設されていることを特徴とする請求項1記載の送受信用集積回路。

【請求項3】 前記アナログ部は、受信部部分に使用される周波数変換ブロックであり、

前記デジタル部は、前記周波数変換ブロックに供給する局部発振周波数を制御するためのPLL回路であることを特徴とする請求項1記載の送受信用集積回路。

【請求項4】 前記デジタル部は、エミッタ結合論理回路および電流注入論理回路からなることを特徴とする請求項1記載の送受信用集積回路。

【請求項5】 前記エミッタ結合論理回路において、定電流源を構成するトランジスタのコレクタに対して抵抗が直列に接続されていることを特徴とする請求項4記載の送受信用集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、送受信用集積回路に関し、特にアナログ部とデジタル部とを同一の半導体基板（チップ）上に集積化してなる送受信用集積回路に関する。

【0002】

【従来の技術】従来、例えばテレビジョン放送のチューナ部分は、周波数変換用発振器、ミキサおよび中間周波増幅器を一つにまとめた周波数変換ブロック用の集積回路と、上記周波数変換用発振器に供給する局部発振周波数を希望受信周波数に応じて制御するためのPLL（Phase Locked Loop）回路用の集積回路の2つの集積回路によって構成されていた。ところが、今般は、液晶テレビ等の小型・小型化、パーソナルコンピュータへのテレビチューナの内蔵化の傾向に伴い、又不受照射（発振信号の漏洩）の点から、2つの集積回路を1つの集積回路にまとめることが要求されている。

【0003】

【発明が解決しようとする課題】しかしながら、周波数変換ブロック用の集積回路はアナログ回路によって構成され、PLL回路用の集積回路はデジタル回路によって

構成されており、この場合、アナログ回路は50～850MHzで動作する高周波/高感度/低雑音が要求されるが、デジタル回路と同一のチップ上に集積化した際に、デジタル回路の信号が雑音としてアナログ回路に悪影響を与えることになるため、これをどのようにして防ぐかが課題である。

【0004】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、アナログ回路とデジタル回路の同一チップへの混成化に際して、両回路の相互干渉を抑えるようにした送受信用集積回路を提供することにある。

【0005】

【課題を解決するための手段】本発明による送受信用集積回路は、アナログ部とデジタル部とを同一のチップ上に集積化するに当たり、アナログ部に電力を供給する第1の電源供給手段と、デジタル部に電力を供給する第2の電源供給手段と、チップ上のアナログ部とデジタル部との境界部分に、第1、第2の電源供給手段とは独立して設けられた基準電位付与手段とを備えた構成となっている。

【0006】上記構成の送受信用集積回路において、アナログ部およびデジタル部には、互いに独立した第1、第2の電源供給手段によって別々に電力が供給される。そして、アナログ部とデジタル部は、チップ上に設けられた基準電位付与手段によって分離されていることから、デジタル部で発生した雑音はアナログ部には回り込まず、当該基準電位付与手段を経由して外部の基準電位点（例えば、グランド）へ出力される。

【0007】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0008】図1は、本発明が適用される例えばテレビジョン放送のチューナ部の構成を示すブロック図である。図1において、アンテナ11で受信されたテレビ波は、バンドパスフィルタ12、高周波増幅器13およびバンドパスフィルタ14を経てミキサ15の一方の入力となる。また、ミキサ15の他方の入力として、発振器18から出力される局部発振周波数が供給される。

【0009】発振器16から出力される局部発振周波数は、PLL回路17によって希望受信周波数に応じて制御される。ミキサ15は、高周波増幅器13で増幅された高周波テレビ信号を、発振器16から出力される局部発振周波数と混合することによって58.75MHzの映像中間周波数（IF）信号として取り出す。この映像中間周波数信号は、中間周波増幅器18を介して映像中波回路（図示せず）に供給される。

【0010】上記構成のテレビジョン放送のチューナ部において、通常、ミキサ15、発振器16および中間周波増幅器18からなる周波数変換ブロックはアナログ回路によって構成され、PLL回路17はデジタル回路に

3

よって形成される。本発明では、アナログ回路であるミキサ15、発振器16および中間周波増幅器18と、デジタル回路であるPLL回路17とを、同一の半導体基板(チップ)上に集積化しようとするものである。

【0011】図2は、本発明の一実施形態を示すチップのレイアウトパターンの概略断面図である。図2において、例えばP型の半導体基板(チップ)21上には、例えば中央付近を境界として、アナログ部22とデジタル部23とが搭載されている。アナログ部22にはミキサ15、発振器16および中間周波増幅器18からなる周波数変換ブロックが形成され、デジタル部23にはPLL回路17が形成される。そして、アナログ部22に対して電力を供給する正側電源端子24および負側電源端子25が、またデジタル部23に対して電力を供給する正側電源端子26および負側電源端子27がそれぞれ別々に設けられている。

【0012】アナログ用の正側電源端子24および負側電源端子25は、アナログ部22の領域内にA1(アルミニウム)配線されている電源パターン28およびグランドパターン29にそれぞれコンタクトがとられたパッド30、31に対してワイヤボンディングによって接続されている。同様に、デジタル用の正側電源端子26および負側電源端子27は、デジタル部23の領域内にA1配線されている電源パターン32およびグランドパターン33にそれぞれコンタクトがとられたパッド34、35に対してワイヤボンディングによって接続されている。

【0013】また、半導体基板21上のアナログ部22とデジタル部23の境界部分には、アナログ用のグランドパターン29およびデジタル用のグランドパターン33とは独立した基準電位パターン36がA1配線されている。この基準電位パターン36は、その下方に例えばイオン注入によって形成されたP⁺不純物層37とコンタクトがとられることによって半導体基板21と接続されている。また、基準電位パターン36に対して基準電位(例えば、グランドレベル)を付与する基準電位端子37が設けられている。

【0014】この基準電位端子37は、基準電位パターン36にコンタクトがとられたパッド39に対してワイヤボンディングによって接続されており、デジタル用の負側電源端子27と共に外部のデジタル用グランドに接続される。なお、アナログ用の負側電源端子25は、デジタル用グランドとは独立した外部のアナログ用のグランドに接続される。

【0015】上述したように、テレビジョン放送のチューナ部に使用される周波数変換ブロックと局部発振周波数を制御するためのPLLブロックを同一チップ上に集積化してなる集積回路において、周波数変換ブロックであるアナログ部22とPLLブロックであるデジタル部23の正・負の電源端子を各々分け、かつアナログ部2

4

2とデジタル部23の境界部分の半導体基板21上に、アナログ用およびデジタル用の各負側電源端子25、27およびグランドパターン29、33とは独立した基準電位端子38および半導体基板21に接続された基準電位パターン36を設けたことで、アナログ部22に対するデジタル部23の雑音の影響を抑制することができる。

【0016】すなわち、アナログ部22とデジタル部23を混成した集積回路において、デジタル部23のカウンタ等によって発生したデジタル雑音電流は、トランジスタ等の寄生容量を介して半導体基板21に流れ、当該基板21を介してアナログ部22に回り込むが、アナログ部22とデジタル部23の間にインピーダンスの低い基準電位パターン38を設けたことにより、デジタル部23で発生し、トランジスタ等の寄生容量を介して半導体基板21に漏れたデジタル雑音電流は、基準電位端子37に接続された基準電位パターン36に吸引上げられ、外部の基準電位点(例えば、グランド)に出力される。したがって、デジタル部23で発生したデジタル雑音電流は、アナログ部22に悪影響を及ぼさないため、良好な電気的特性が得られる。

【0017】ところで、デジタル部23であるPLL回路17は、図3に示すように、位相比較器(PD)41と、ループフィルタ42と、電圧制御発振器(VCO)43と、分周器44とから形成されている。このPLL回路17からなるデジタル部23は、上述した集積回路化に当たっては、エミッタ結合論理回路および電流注入論理回路によって形成される。

【0018】図4に、エミッタ結合論理回路(A)および電流注入論理回路(B)の回路構成の一例(インバータ)を示す。図4(A)において、エミッタ結合論理回路は、エミッタが共通に接続された一対のNPNトランジスタQ1、Q2と、これらトランジスタQ1、Q2のエミッタ共通接続点とグランドとの間に接続された定電流源I1と、トランジスタQ1、Q2の各コレクタと電源Vccの間に接続された抵抗R1、R2とからなる差動対である。

【0019】図4(B)において、電流注入論理回路は、電流Vccに一端が接続された抵抗R3と、この抵抗R3の他端にエミッタが接続されかつベースが接地されたPNPトランジスタQ3と、このトランジスタQ3のコレクタにベースが接続されかつエミッタが接地されたNPNトランジスタQ4とからなり、トランジスタQ4のコレクタから出力が導出される構成となっている。

【0020】このデジタル部23において、エミッタ結合論理回路については、図4(A)に示すようにすべて差動型にし、かつ論理振幅を小さく設定する。論理振幅を小さく、差動型にすることにより、アナログ部22において発生した高周波アナログ信号による論理回路の誤動作を防ぐことができ、また高い周波数成分を含んでい

る方形波のようなデジタル信号が、トランジスタQ1、Q2の寄生容量C_oを介して半導体基板21へ漏れるのを防いでいる。

【0021】図5に、エミッタ結合論理回路として、PLL回路の例えば分周器44（図3を参照）の一部を形成するデータフリップ・フロップの回路例を示す。

【0022】図5において、トランジスタQ11、Q12の各エミッタが共通に接続され、これらトランジスタQ11、Q12の各ベースがD入力、XD入力となる。また、トランジスタQ13、Q14の各エミッタが共通に接続され、トランジスタQ13のコレクタおよびトランジスタQ14のベースがトランジスタQ11のコレクタと接続点aで接続され、さらに抵抗R11を介して電源V_{cc}に接続されている。同様に、トランジスタQ14のコレクタおよびトランジスタQ13のベースがトランジスタQ12のコレクタと接続点bで接続され、さらに抵抗R12を介して電源V_{cc}に接続されている。

【0023】接続点a、bにはトランジスタQ15、Q16の各ベースが接続され、これらトランジスタQ15、Q16の各エミッタが共通に接続されている。また、トランジスタQ17、Q18の各エミッタが共通に接続され、トランジスタQ17のコレクタおよびトランジスタQ18のベースがトランジスタQ15のコレクタと接続点cで接続され、さらに抵抗R13を介して電源V_{cc}に接続されている。同様に、トランジスタQ18のコレクタおよびトランジスタQ17のベースがトランジスタQ16のコレクタと接続点dで接続され、さらに抵抗R14を介して電源V_{cc}に接続されている。そして、接続点c、dからQ出力およびXQ出力が導出される。

【0024】また、トランジスタQ11、Q12のエミッタ共通接続点にはトランジスタQ19のコレクタが、トランジスタQ13、Q14のエミッタ共通接続点にはトランジスタQ20のコレクタが、トランジスタQ15、Q16のエミッタ共通接続点にはトランジスタQ21のコレクタが、トランジスタQ17、Q18のエミッタ共通接続点にはトランジスタQ22のコレクタがそれぞれ接続されている。トランジスタQ19とトランジスタQ20の各エミッタが共通に接続され、トランジスタQ21とトランジスタQ22の各エミッタが共通に接続されている。

【0025】そして、トランジスタQ19、Q22の各ベースが共通に接続されてXCK入力となり、トランジスタQ20、Q21の各ベースが共通に接続されてCK入力となる。また、トランジスタQ19、Q20のエミッタ共通接続点には抵抗R15の一端が接続され、トランジスタQ21、Q22の各エミッタ共通接続点には抵抗R16の一端が接続されている。抵抗R15、R16の各他端には、トランジスタQ23、Q24の各コレクタが接続されている。トランジスタQ23、Q24は各

ベースに所定の直流バイアス電圧Eが印加され、各エミッタと接地間に接続された抵抗R17、R18と共に定電流源51、52を構成している。

【0026】ここで、エミッタ結合論理回路の代表的な回路である上記形成のデータフリップ・フロップ回路において、定電流源51、52を構成しているトランジスタQ23、Q24の各コレクタに直列に接続された抵抗R15、R16が無い場合を考えると、トランジスタQ23、Q24には寄生容量C_oが存在することから、この寄生容量C_oを介して半導体基板へ高周波信号がリークすることになる。

【0027】ところが、本実施形態においては、定電流源51、52を構成しているトランジスタQ23、Q24の各コレクタに抵抗R15、R16を直列に接続したことで、この直列抵抗R15、R16とトランジスタQ23、Q24の寄生容量C_oによって高域遮断フィルタが形成されることになるため、この高域遮断フィルタによって高周波信号が遮断される。

【0028】したがって、半導体基板への高周波信号のリークを抑制できるため、アナログ部22に対するビート降下などの悪影響を抑制することができる。なお、本例では、エミッタ結合論理回路としてデータフリップ・フロップ回路を示したが、これに限定されるものではなく、種々の回路形成のエミッタ結合論理回路に適用可能である。

【0029】なお、上記実施形態においては、テレビジョン放送のチューナ部に適用した組合せについて説明したが、これに限定されるものではなく、AM放送、FM放送、短波放送などのチューナ部全、携帯電話の送受信機などにも同様に適用し得るものである。

【0030】

【発明の効果】以上説明したように、本発明によれば、アナログ部とデジタル部とを同一のチップ上に集積化するに当り、アナログ部とデジタル部に別々の電源供給手段にて電力を供給する一方、チップ上のアナログ部とデジタル部との境界部分に、アナログ部・デジタル部の電源供給手段とは独立した基準電位付与手段を設けてアナログ部とデジタル部を分離したことにより、デジタル部で発生した雑音がアナログ部には回り込まず、当該基準電位付与手段を経由して外部の基準電位点へ出力されるため、アナログ部とデジタル部の相互干渉を抑えることができる。

【図面の簡単な説明】

【図1】本発明が適用される例えばテレビジョン放送のチューナ部の構成を示すブロック図である。

【図2】本発明の一実施形態を示すチップのレイアウトパターンの概略断面図である。

【図3】PLL回路の構成を示すブロック図である。

【図4】エミッタ結合論理回路(A)および電流注入論理回路(B)の一例を示す回路図である。

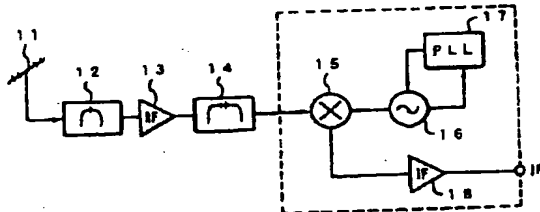
【図5】エミッタ結合論理回路の代表的な回路であるデータフリップ・フロップ回路の回路構成の一例を示す回路図である。

【符号の説明】

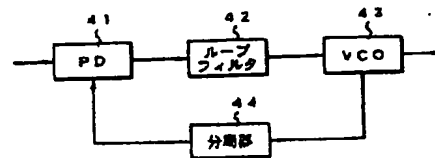
11…アンテナ、13…高周波増幅器、15…ミキサ、
16…発振器、17…PLL回路、18…中間周波増幅*

*器、21…半導体基板、22…アナログ部、23…デジタル部、24、26…正側電源端子、25、27…負側電源端子、28、32…電源パターン、29、33…グランドパターン、36…基準電位パターン、38…基準電位端子

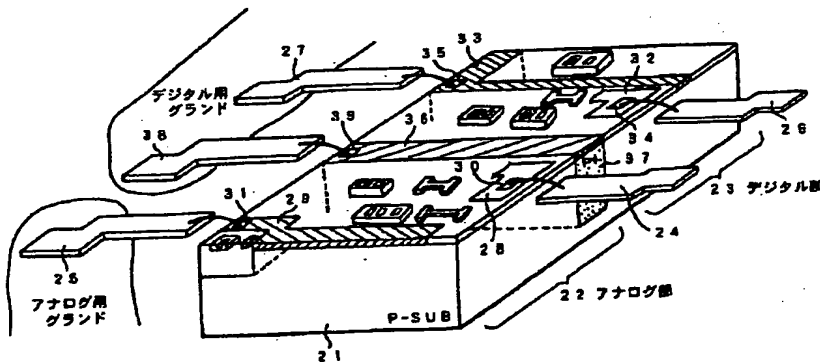
【図1】



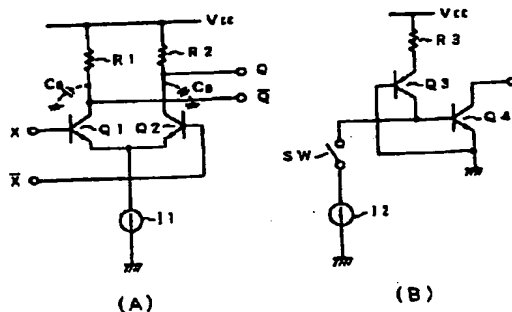
【図3】



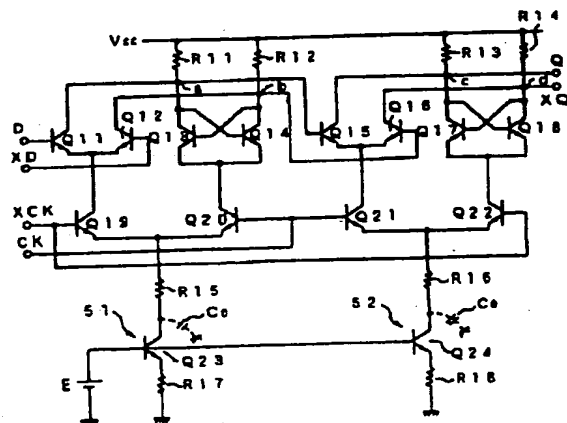
【図2】



【図4】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.